

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

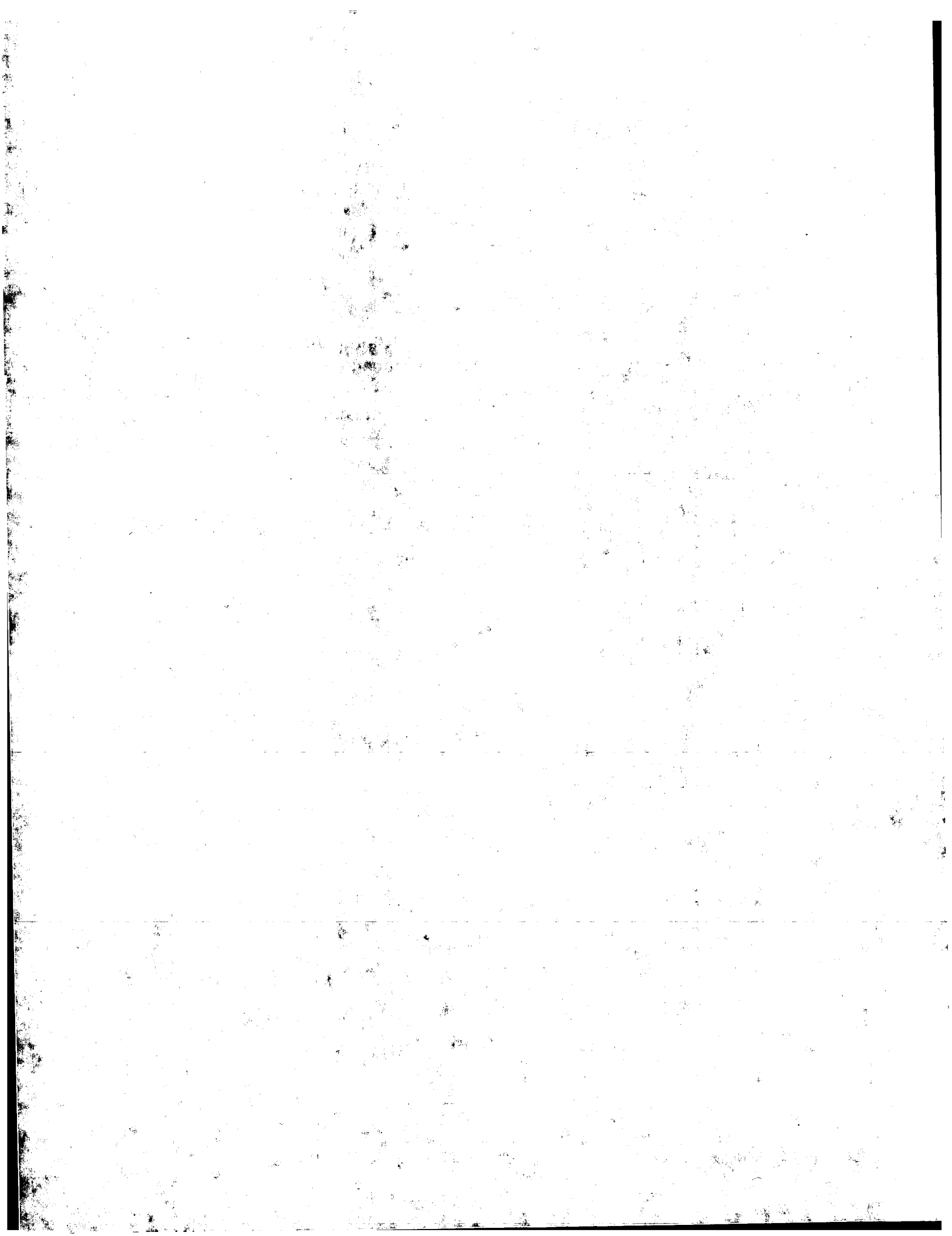
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068476

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H03F 3/34
H03F 3/45

(21)Application number : 09-217470

(71)Applicant : SONY CORP

(22)Date of filing : 12.08.1997

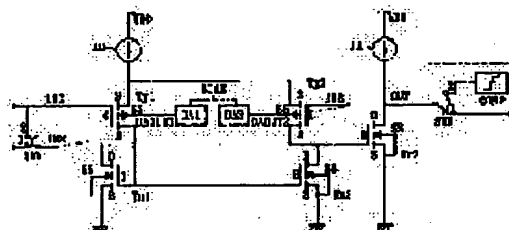
(72)Inventor : HARUTA TSUTOMU

(54) OFFSET ADJUSTING CIRCUIT OF OPERATION AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce offset and improve the characteristic of an operation amplifier by applying a voltage for setting offset to the substrates of a pair of MOS transistors.

SOLUTION: D/A converters DA1 and DA2 for inputting bias voltage BIAS are constituted of totally 16-number of P-channel MOS transistors and provided with SW0 to SW15 for turning on and off each transistor. In a condition where an input signal $IN1=IN2$ and the output signal of DA1 and DA2 are $DAOUT1 > DAOUT2$, the threshold value of $Tp2$ of a pair of differential MOS transistors is larger than the threshold value of $Tp1$. SW0 to SW15 of DA2 are turned on one by one in this state and a calibration comparator detects whether the voltage of an output signal OUT is to a voltage side or a ground size to apply voltage in the on state of SW at the point of a changing time to a substrate to execute the calibration of offset. This is executed whenever a constant current is supplied to reduce offset.



LEGAL STATUS

[Date of request for examination]

16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

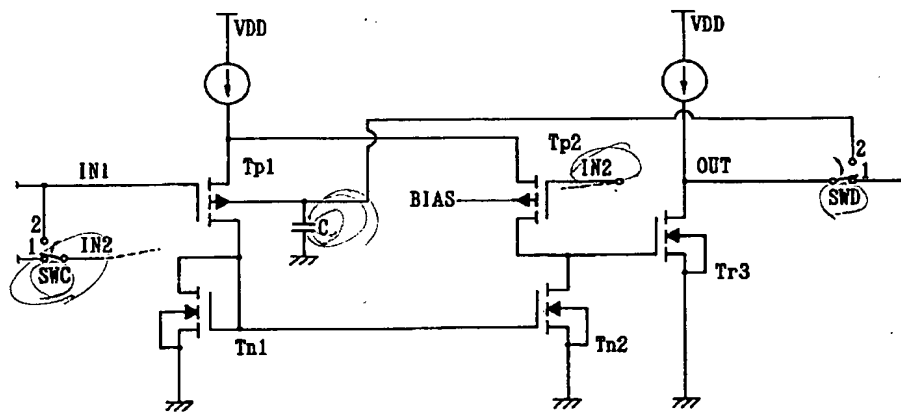
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

TO: DIRECTOR, USPTO
FROM: [REDACTED]
SUBJECT: [REDACTED]

【図 4】



THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68476

(43) 公開日 平成11年(1999) 3月9日

(51) Int. Cl.⁶H 0 3 F 3/34
3/45

識別記号

F I

H 0 3 F 3/34
3/45B
Z

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平9-217470

(22) 出願日 平成9年(1997) 8月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 春田 勉

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

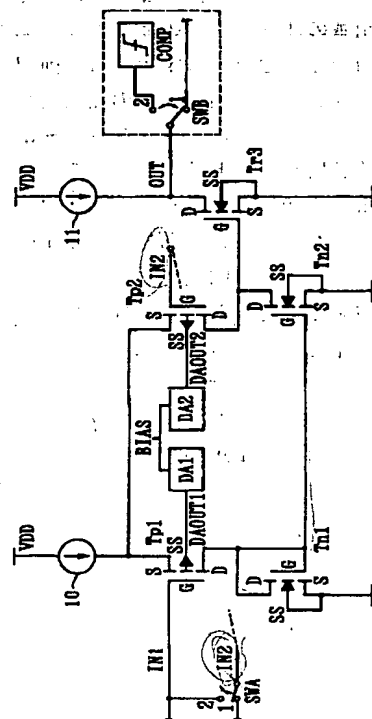
(74) 代理人 弁理士 佐々木 功 (外1名)

(54) 【発明の名称】 オペアンプのオフセット調整回路

(57) 【要約】

【課題】 差動増幅器を構成する一対の差動用MOSトランジスタのサブストレートにオフセット設定用の電圧を印加してオフセットのキャリブレーションを行うようにする。

【解決手段】 差動増幅器を構成する一対の差動用MOSトランジスタのそれぞれのサブストレートに電圧を印加してオフセットのキャリブレーションを行うようにする。オフセットのキャリブレーションは、一対の差動用MOSトランジスタのゲートに同一電圧を入力するようにし、且つ一対の差動用MOSトランジスタのそれぞれに設けた複数のスイッチのオンした数に応じた電圧をサブストレートに印加するようにする。



【特許請求の範囲】

【請求項1】 定電流源に接続された一対の差動用MOSトランジスタと、該差動用MOSトランジスタのそれぞれに接続されているアクティブ負荷用トランジスタと、前記差動用トランジスタとアクティブ負荷用トランジスタの後段側に接続してある出力用トランジスタとからなる差動増幅器であって、前記一対の差動用MOSトランジスタのサブストレートにオフセット設定手段を設けたことを特徴とするオペアンプのオフセット調整回路。

【請求項2】 前記オフセット設定手段は、前記一対の差動用MOSトランジスタに前記定電流源から電源が供給される毎にオフセットのキャリブレーションを行うものである請求項1に記載のオペアンプのオフセット調整回路。

【請求項3】 前記オフセットのキャリブレーションは、前記一対の差動用MOSトランジスタのゲートに同一信号の電圧を入力するようにし、且つ前記一対の差動用MOSトランジスタのそれぞれに設けた複数のスイッチのオンした数に応じた電圧を前記サブストレートに印加するものである請求項2に記載のオペアンプのオフセット調整回路。

【請求項4】 前記一対の差動用MOSトランジスタのそれぞれに設けた複数のスイッチは、一方の複数のスイッチを所定の電圧が出力するように設定され、他方の複数のスイッチは段階的にオン状態を変化させるように設定されているものである請求項3に記載のオペアンプのオフセット調整回路。

【請求項5】 前記段階的にオン状態を変化させるスイッチは、前記出力用トランジスタの出力電圧が変化した時に、そのスイッチの状態を保持するようにしたものである請求項4に記載のオペアンプのオフセット調整回路。

【請求項6】 前記オフセット設定手段は、前記一対の差動用MOSトランジスタの内、一方の差動用MOSトランジスタのサブストレートにコンデンサの充電電圧を印加し、他方の差動用MOSトランジスタのサブストレートにバイアス電圧を印加するようにしてオフセットのキャリブレーションを行うものである請求項1に記載のオペアンプのオフセット調整回路。

【請求項7】 前記オフセットのキャリブレーションは、前記バイアス電圧で制御される前記出力用トランジスタの出力電圧で前記コンデンサを充電し、該充電した電圧を前記一方の差動用MOSトランジスタのサブストレートに印加するものである請求項6に記載のオペアンプのオフセット調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、オペアンプのオフセット調整回路に関するものであり、更に詳しくはMOS (Metal Oxide Semiconductor) トランジスタのサブストレート電圧 (バックゲート

電圧ともいう) を利用してオフセットのキャリブレーション (校正) を行うようにしたオペアンプのオフセット調整回路に関する。

【0002】

【従来の技術】 従来技術におけるMOSトランジスタは、シリコン (Si) 等で生成したサブストレート上にアルミニウム (Al) 等の金属 (metal)、半導体の酸化物 (oxide)、半導体 (semiconductor) の3層構造で作成され、ソース (source) とドレーン (drain) 間のチャンネル (channel) を流れる電流をゲート (gate) の電圧で制御する機構となっている。このチャンネルがn形かp形かによってnチャンネル形とpチャンネル形に区別される。

【0003】 さて、このようなMOSトランジスタと、CMOS回路とを組み合わせることで差動増幅器を作成することができる。ここでCMOS回路は、pチャンネル形MOSトランジスタとnチャンネル形MOSトランジスタの動作における相補性に着目して構成した集積回路である。

【0004】 このようにして作成された差動増幅器におけるオフセットの原因としては、差動用MOSトランジスタのゲートサイズを同じように作成しても、ゲート自体の大きさ、幅方向 (L方向) と縦方向 (W方向) とで誤差が生じてしまい、ゲートで制御する電圧に微妙な差が出てしまうことである。又、ソースとドレーン間のアクティブレイアの結晶のゆらぎによるトランジスタのしきい値のずれ等による場合もある。

【0005】 これらのオフセットの原因は、MOSトランジスタのサイズを大きくすることによって、オフセットをする範囲を小さくすることができるが、この方法ではチップ上の占有する領域が大きくなり、特にチップサイズがコストに大きく影響するCMOS回路では得策でない。

【0006】 又、MOSトランジスタのサイズを大きくしても、確率的には確実にオフセット機能が働き、且つ所定の範囲内に抑えるようにしないと作成された差動増幅器の良否の選別をする必要が出てくる。

【0007】 このようなオフセットの問題を解決するために、同一出願人の①特開平3-227105号、②特開平8-125504号がある。

【0008】 ①特開平3-227105号は、抵抗値の等しい一対の抵抗器と、この一対の抵抗器に直列に接続された一対のトランジスタと、この一対のトランジスタに基準電圧源からの基準電圧に基づいてそれぞれベースバイアス電圧を印加する一対のバイアス回路を備えてなる一対の電流源回路を構成する。そして、この電流源回路の少なくとも一方の直流電源の可変抵抗を可変することによってオフセットを調整するようにしたものである。

【0009】 ②特開平8-125504号は、リセットモード時には一対の差動用トランジスタに制御電圧とし

て同一電圧を供給し、一対の差動用トランジスタのしきい値ゲート電圧やコンダクタンスのばらつき等によってオフセット電圧が存在すると、このオフセット電圧を保持しておき、比較モード時にこの保持されているオフセット電圧をアクティブ負荷用トランジスタの制御電圧として利用することにより、リセットモード時におけるバイアス条件が比較モード時にもそのまま利用できるようにしたものである。

【0010】

【発明が解決しようとする課題】しかしながら、上記①は直流電源を調整することによりオフセットするものであり、②は差動用トランジスタのバイアス条件を統一させようとするものである。両者とも、CMOS回路を構成するnチャネル形差動用MOSトランジスタのサブストレートを電源側に、nチャネル形差動用MOSトランジスタのサブストレートを接地して、アナログ回路においてサブストレート及びソースを接続して基板バイアス効果を小さくした構造となっている。

【0011】従って、ゲインがかけられる前段階、即ち、物理的な誤差のある一対の差動用MOSトランジスタのそれぞれの出力が同じくなるようなオフセットのキャリブレーションを行って、オフセットを減少させ、且つオペアンプのアナログ特性を変化させないようにして、次段のトランジスタへの影響を最小限に抑えることに解決しなければならない課題を有している。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明に係るオペアンプのオフセット調整回路は、定電流源に接続された一対の差動用MOSトランジスタと、該差動用MOSトランジスタのそれぞれに接続されているアクティブ負荷用トランジスタと、前記差動用トランジスタとアクティブ負荷用トランジスタの後段側に接続してある出力用トランジスタとからなる差動増幅器であって、前記一対の差動用MOSトランジスタのサブストレートにオフセット設定手段を設けたことである。

【0013】このように一対の差動用MOSトランジスタのサブストレートにオフセット設定手段を設けたことにより、サブストレートにバイアスを与えて基板バイアス効果を調整することによって、トランジスタにオフセットを与えることが可能になる。即ち、差動用MOSトランジスタが駆動する時に、一対の差動用MOSトランジスタのサブストレートに電圧を印加してオフセットのキャリブレーションを行い、オペアンプの入力オフセットを減少させる。又、アナログ的にはサブストレートへの印加電圧は一定に保持された、所謂止まっている状態であるため、このキャリブレーションを行ってもオペアンプのアナログ特性は変化しない。

【0014】

【発明の実施の形態】次に、本発明に係るオペアンプのオフセット調整回路の実施の形態について図面を参照し

て説明する。

【0015】第1の実施の形態に係るオペアンプのオフセット調整回路を備えた差動増幅器は、図1に示すように、電源電圧VDDに接続され必要な時に所定の電流を供給する定電流源10と、pチャネル形とnチャネル形MOSトランジスタTp1、Tn1を組み合わせたCMOS回路と、定電流源10に接続されたpチャネル形MOSトランジスタTp2と、nチャネル形MOSトランジスタTn2と、出力信号OUTを出力するnチャネル形MOSトランジスタTr3と、バイアス電圧BIASを入力するD/AコンバータDA1、DA2と、スイッチSWA、SWBと、キャリブレーション用コンパレータCOMPとから構成されている。ここで、一対の差動用MOSトランジスタはトランジスタTp1及びTp2であり、アクティブ負荷用トランジスタはトランジスタTn1、Tn2であり、差動用MOSトランジスタTp1、Tp2とアクティブ負荷用トランジスタTn1、Tn2の後段側に接続した出力用トランジスタはnチャネル形MOSトランジスタTr3である。又、オフセット設定手段は、スイッチSWA、SWBと、D/AコンバータDA1、DA2と、キャリブレーション用コンパレータCOMPとから構成されている。これらの構成からなる接続状態は次のようになっている。

【0016】定電流源10はCMOS回路のpチャネル形MOSトランジスタTp1のソースSに接続され、サブストレートSSにはD/AコンバータDA1が接続されている。又、このトランジスタTp1のドレンドDにはnチャネル形MOSトランジスタTn1のドレンドDに接続され、ソースS及びサブストレートSSが接地されている。又、MOSトランジスタTp1のゲートGは入力信号IN1に接続されている。

【0017】nチャネル形MOSトランジスタTn1は、そのドレンドDとゲートGが接続され、且つMOSトランジスタTp1のドレンドD及びMOSトランジスタTn2のゲートGに接続されている。

【0018】pチャネル形差動用MOSトランジスタTp2は、そのソースSが定電流源10に接続され、サブストレートSSがD/AコンバータDA2に接続されている。又、ドレンドDはMOSトランジスタTr3のゲートG及びMOSトランジスタTn2のドレンドDに接続されている。ゲートGは入力信号IN2に接続されている。

【0019】nチャネルのMOSトランジスタTn2は、そのゲートGがMOSトランジスタTp1のドレンドD及びMOSトランジスタTn1のゲートG及びドレンドDに接続されている。ドレンドDはMOSトランジスタTp2のドレンドD及びMOSトランジスタTr3のゲートGに接続されている。サブストレートSS及びソースSは接地されている。

【0020】出力用MOSトランジスタTr3は、その

ゲートGがトランジスタTp2のドレーンD及びトランジスタTn2のドレーンDに接続されている。ドレーンDが定電流源11に接続され、且つ出力信号OUTを発生させる。又、そのソースS及びサブストレーツSSは接地されている。この出力信号OUTはスイッチSWBに接続されている。

【0021】スイッチSWAは、オフセットのキャリブレーションを行う時に差動用MOSTランジスタTp1、Tp2のゲートGに同一信号の電圧を入力させる切り替えスイッチであり、コモン端子は入力信号IN2に接続し、切り替え端子(1)は他の回路への接続線に接続し、切り替え端子(2)は入力信号IN1に接続されている。

【0022】スイッチSWBは、オフセットのキャリブレーションを行う時にスイッチSWAと共に切り替える切り替えスイッチであり、コモン端子に出力信号OUTを接続し、切り替え端子(1)に他の回路への接続線に接続し、切り替え端子(2)はキャリブレーション用コンパレータCOMPに接続されている。

【0023】D/AコンバータDA1、DA2は、図2に示すように、合計16個のpチャネル形MOSTランジスタTpDA0～TpDA15と、これらのトランジスタTpDA0～TpDA15に接続されているスイッチSW0～SW15と、これらスイッチSW0～SW15のオン/オフを制御するスイッチ設定制御部12と、pチャネル形MOSTランジスタTp4と、nチャネル形MOSTランジスタTr5と、pチャネル形MOSTランジスタTr6と、nチャネル形MOSTランジスタTr7とから構成されており、その接続状態は次のようになっている。

【0024】バイアス電圧BIASがトランジスタTpDA0～TpDA15のゲートに接続され、電源電圧VDDがソース及びサブストレーツに接続されている。

【0025】スイッチSW0～SW15の入力端子は、トランジスタTpDA0～TpDA15のドレーンに接続されている。このスイッチの一方の出力端子は接地され、他方の出力端子は、トランジスタTr4のドレーンと、トランジスタTr5のゲート及びドレーンと、トランジスタTr7のゲートに接続されている。

【0026】トランジスタTr4のゲートにはバイアス電圧BIASが接続され、ソース及びサブストレーツは電源電圧VDDに接続されている。トランジスタTr5のソース及びサブストレーツは接地されている。

【0027】トランジスタTr6のソース及びサブストレーツは、電源電圧VDDに接続され、トランジスタTr6のゲートは、ドレーンと、トランジスタTr7のドレーンとに接続し出力信号DAOUTを出力する。

【0028】このような構成からなるD/AコンバータDA1、DA2は、スイッチSW0～SW15の設定が違うのみで同じ回路構成となっており、基本的にはスイ

ッチ設定制御部12でスイッチを順次にオンさせて段階的にオン状態を変化させることにより、トランジスタTpDA0～TpDA15のドレーン側の電圧が加算されトランジスタTr5のゲート電圧に印加される。

【0029】又、D/AコンバータDA1は、スイッチSW0～SW7までがオンで、スイッチSW8～SW15までがオフの状態に設定されている。即ち、D/AコンバータDA1は16階調の中心位置に相当する8階調目の所定の電圧を出力するように設定されている。尚、スイッチSW0～SW15の設定状態は、これらに限定されず適宜変更できることは勿論のことである。

【0030】D/AコンバータDA2は、スイッチSW0～SW15の全てがオフの状態に設定され、段階的にオン状態を変化させるように設定されている。従って、このような状態であると、当初の出力信号DAOUTは、D/AコンバータDA1の出力電圧DAOUT1よりもD/AコンバータDA2の出力電圧DAOUT2の方が大きい。尚、スイッチSW0～SW15の設定状態は上記D/AコンバータDA1のスイッチSW0～SW15の状態に対応させて適宜設定変更できる。

【0031】次に、このようなD/AコンバータDA1、DA2を備えたオフセット調整回路の動作について図3を参照して説明する。図3は図1に示した差動増幅器の回路をシンボル化したオペアンプにオフセット設定手段を構成するスイッチSWA、SWBとキャリブレーション用コンパレータCOMPを接続したものである。

【0032】先ず、定電流電源が供給される時に、オフセットのキャリブレーション動作を行うようになっており、この動作は、スイッチSWAを切り替え端子(2)の方にして入力信号IN1、IN2を接続し、且つスイッチSWBを切り替え端子(2)の方にして出力信号OUTをキャリブレーション用コンパレータCOMPに接続して始まる。

【0033】ここで、前述したようにD/AコンバータDA1のスイッチSW0～SW15は、スイッチSW0～SW7がオンであり、D/AコンバータDA2のスイッチSW0～SW15は全てオフの状態であるから、D/AコンバータDA1の出力信号DAOUT1の電圧よりもD/AコンバータDA2の出力信号DAOUT2の電圧のほうが大きい。

【0034】従って、入力信号IN1=IN2、サブストレーツへ入力する出力信号DAOUT1<DAOUT2の条件で一对の差動用MOSTランジスタTp1、Tp2のしきい値Vp1th、Vp2thを比較すると、MOSTランジスタTp2の方が基板バイアス効果が大きく出る為、MOSTランジスタTp2のしきい値Vp2thのほうが大きくなる。

【0035】これは、入力信号IN1=IN2でありながら、サブストレーツに印加される電圧によりIN1<IN2の状態にみえるから、出力信号OUTは電源側の

電圧になる。

【0036】この状態でD/AコンバータDA2のスイッチSW0～SW15を1つずつオンしていくと、D/AコンバータDA2の出力信号DAOUT2の電圧が段々と小さくなってゆく（図2参照）。

【0037】ここで、もし一对の差動用MOSトランジスタTp1、Tp2にオフセットが生じていないとすれば、D/AコンバータDA2のスイッチSW0～SW15の内、SW0～SW7までオンした時に出力信号OUTの電圧が不安定になり、SW8をオンした時に出力信号OUTは接地側の電圧になる。

【0038】従って、キャリブレーション用コンパレータにおいて、この出力信号OUTの電圧が電源側への変化か接地側への変化かを検出するようにし、変化した時のスイッチSW0～SW15のオン状態を保持させる。そしてこの保持させたスイッチSW0～SW15のオン状態から発生する電圧をサブストレートに印加するようになればオフセットのキャリブレーションは完了する。

【0039】このオフセット調整、即ち、オフセットのキャリブレーションは、定電流源が供給される都度行うようにすれば、オフセットを減少させ、且つ極めて精巧なオフセット調整ができるのである。又、サブストレートに印加される電圧は、スイッチSW0～SW15のオン状態を保持した一定の電圧であるからMOSトランジスタのアナログ的な特性には影響を与えない。

【0040】次に、第2の実施の形態のオペアンプのオフセット調整回路を備えた差動増幅器について図4を参照にして説明する。

【0041】差動増幅器は、図1に示した第1の実施の形態の差動増幅器と同じ構成となっており、相違するのは一对の差動用MOSトランジスタのサブストレートに接続されているD/AコンバータDA1、DA2の代わりにコンデンサCと所定電圧からなるバイアス電圧BIASである点、スイッチSWC、SWDを設けた点である。

【0042】差動用MOSトランジスタTp1のサブストレートには、コンデンサCを接続し、スイッチSWDの切り替え端子（2）に接続してある。このコンデンサCの他端は接地してある。

【0043】差動用MOSトランジスタTp2のサブストレートには、所定電圧からなるバイアス電圧BIASを印加するようになっている。

【0044】スイッチSWCは、オフセットのキャリブレーションを行う時に入力信号IN1、IN2に接続して入力信号IN1のみからなる同一信号の電圧を供給する切り替えスイッチであり、コモン端子は入力信号IN2に接続し、切り替え端子（1）は入力信号IN2の接続線に接続され、切り替え端子（2）は入力端子IN1に接続されている。

【0045】スイッチSWDは、オフセットのキャリブ

レーションを行う時にスイッチSWCと共に切り替わる切り替えスイッチであり、コモン端子は出力信号OUT側に接続し、切り替え端子（1）は他の接続線に接続され、切り替え端子（2）はコンデンサCに接続されている。

【0046】このような構造からなる差動増幅器は、オフセットのキャリブレーションを行う時には、スイッチSWC、SWDを切り替え端子（2）側にする。すると、出力信号OUTからの電圧がコンデンサCに充電されて蓄積される。この出力信号OUTからの電圧は、バイアス電圧BIASに比例した電圧であるから、結果的にコンデンサCに蓄積されている充電電圧はバイアス電圧BIASに比例した電圧として保存され差動用MOSトランジスタTp1のサブストレートに印加される。このようなコンデンサCに蓄積した電圧を使用する差動増幅器は、特に頻繁にオフセットのキャリブレーションを行う時に有効的である。

【0047】又、この差動増幅器はコンパレータとして使用することができる。即ち、フラッシュ型A/Dコンバータ等を使用されるコンパレータは、リファレンス電圧と入力電圧とを比較するから、入力信号IN1にリファレンス電圧を接続しておけば、スイッチSWC、SWDが切り替え端子（2）側である時に、動作点でのオフセットをキャンセルすることができる。スイッチSWC、SWDが切り替え端子（1）側である時に、入力信号IN1、IN2をコンパレートすることができる。更に、入力インピーダンスをゲートの容量だけにできし、バランス型であるため雑音にも強い構造となる。

【0048】

【発明の効果】上記説明したように、本発明に係るオペアンプのオフセット調整回路は、一对の差動用MOSトランジスタのサブストレートにオフセット設定用の電圧を印加するようにしたことにより、オフセットを小さくすることができ、オペアンプの特性を向上させることができると云う効果がある。

【図面の簡単な説明】

【図1】本発明に係るオペアンプのオフセット調整回路を備えた第1の実施の形態の差動増幅器の略示的な回路図である。

【図2】同オペアンプのオフセット調整回路を構成するD/Aコンバータの略示的な回路図である。

【図3】同図1における差動増幅器をシンボル化した回路図である。

【図4】本発明に係るオペアンプのオフセット調整回路を備えた第2の実施の形態の差動増幅器の略示的な回路図である。

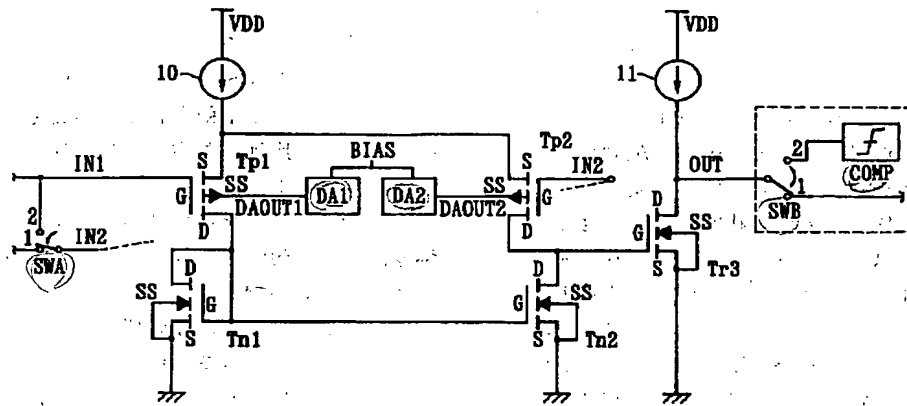
【符号の説明】

10；定電流源、11；定電流源、12；スイッチ設定制御部、Tp1；差動用MOSトランジスタ、Tn1；MOSトランジスタ、Tp2；差動用MOSトランジスタ

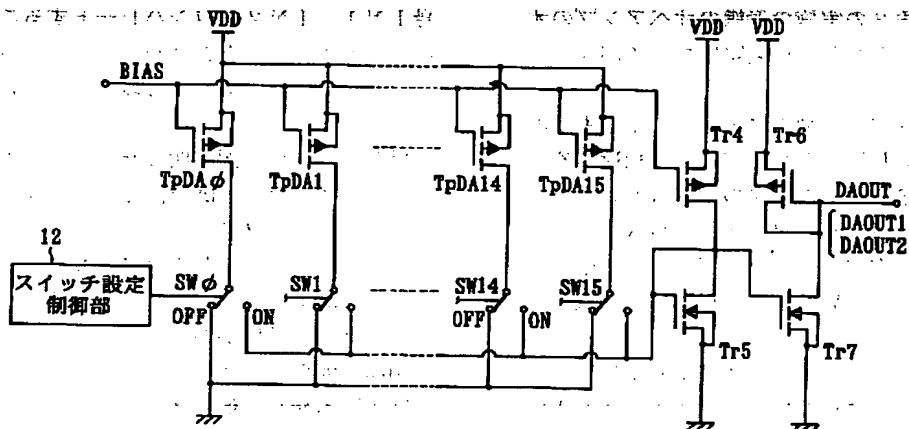
タ、 $Tn2$; MOSトランジスタ、 $IN1$; 入力信号、 $IN2$; 入力信号、 $DA1$; D/Aコンバータ、 $DA2$; D/Aコンバータ、 $BIAS$; バイアス電圧、 OUT ; 出力信号、 $COMP$; キャリブレーション用コンパレータ、スイッチ; SWA 、スイッチ; SWB 、 TpD

$A0 \sim TpDA15$; MOSトランジスタ、 $SW0 \sim SW15$; スイッチ、 $Tr3$; MOSトランジスタ、 $Tr4$; MOSトランジスタ、 $Tr5$; MOSトランジスタ、 $Tr6$; MOSトランジスタ、 $Tr7$; MOSトランジスタ

【図1】



【図2】



【図3】

